

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年7月5日 (05.07.2001)

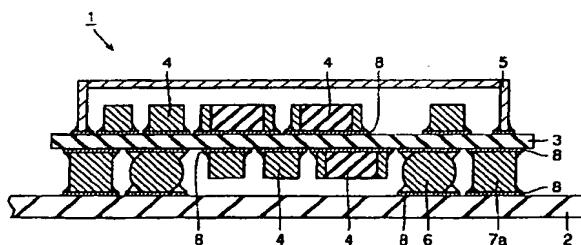
PCT

(10) 国際公開番号  
**WO 01/48821 A1**

- (51) 国際特許分類?: **H01L 25/04**
- (21) 国際出願番号: **PCT/JP99/07334**
- (22) 国際出願日: **1999年12月27日 (27.12.1999)**
- (25) 国際出願の言語: **日本語**
- (26) 国際公開の言語: **日本語**
- (71) 出願人(米国を除く全ての指定国について): **三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).**
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): **森 和広 (MORI, Kazuhiro) [JP/JP]. 小山正人 (KOYAMA, Masato) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo (JP).**
- (74) 代理人: 深見久郎, 外 (FUKAMI, Hisao et al.); 〒530-0054 大阪府大阪市北区南森町2丁目1番29号 住友銀行南森町ビル Osaka (JP).
- (81) 指定国(国内): **CN, JP, US.**
- (84) 指定国(広域): **ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).**
- 添付公開書類:  
— 國際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(54) Title: INTEGRATED CIRCUIT

(54) 発明の名称: 集積回路装置



WO 01/48821 A1

(57) Abstract: An integrated circuit device (1) comprises a motherboard (2), a module substrate (3), solder bumps (6), and support members (7a). The module substrate (3) is mounted on the motherboard (2), and electronic parts (4) are mounted on both sides of the module substrate (3). The motherboard (2) and the module substrate (3) are electrically connected by the solder bumps (6), and the support members (7a) are placed between the motherboard (2) and the module substrate (3) to control the inclination of the module substrate (3).

[続葉有]



---

(57) 要約:

本発明の集積回路装置（1）は、マザーボード（2）と、モジュール基板（3）と、半田バンプ（6）と、支持部材（7 a）とを備える。モジュール基板（3）はマザーボード（2）に実装され、モジュール基板（3）の表裏面には電子部品（4）が実装される。マザーボード（2）とモジュール基板（3）とは半田バンプ（6）により電気的に接続され、マザーボード（2）とモジュール基板（3）間に、モジュール基板（3）の傾きを抑制するための支持部材（7 a）を設置する。

## 明細書

## 集積回路装置

## 5 技術分野

本発明は集積回路装置に関し、より特定的には、電子回路を構成する各種要素が実装された複数の基板を積層して形成される集積回路装置における基板間の接続構造に関する。

## 10 背景技術

図14に、従来の集積回路装置の一例を示す。この集積回路装置は、特開平11-67947号公報に開示されている。

図14に示すように、集積回路装置21は、チップ基板22と、接続層29を介してチップ基板22の表面上に実装された電子部品24と、シールドケース25と、半田ボール26と、配線バターン27と、ランド28とを備える。

チップ基板22にはスルーホールが設けられ、このスルーホールを介して接続層29と配線バターン27とが電気的に接続される。上記の構造を有するチップ基板22は、たとえばマザーボード（図示せず）に実装される。

チップ基板22をマザーボードに実装する際には、通常半田ボール26を溶融させる。しかし、チップ基板22を支持する部材が設けられていないので、チップ基板22が傾いた状態で実装されることがあった。そのため、たとえばマザーボードと対向するチップ基板22の裏面上に部品を実装した場合には、当該部品が、マザーボードに押付けられ損傷し、集積回路装置21の信頼性が低下するという問題があった。

25

## 発明の開示

本発明は上記の課題を解決するためになされたものである。本発明の目的は、複数の基板間を半田バンプで電気的に接続する集積回路装置の信頼性を向上することにある。

本発明に係る集積回路装置は、第1基板部と、第2基板部と、半田バンプと、支持部材とを備える。第2基板部は、第1基板部に実装される。半田バンプは、第1基板部と第2基板部間を電気的に接続する。支持部材は、第1基板部と第2基板部間に設置され、第1基板部上で第2基板部を支持する。ここで、基板部とは、基板自体と、該基板が有する各種部品や配線等の電子回路を構成する要素との双方を含む概念である。

このように第1基板部と第2基板部間に支持部材を設置することにより、第2基板部の実装時に支持部材で第2基板部を支持することができ、第2基板部が傾くのを阻止することができる。つまり、第1基板部と第2基板部間の間隔をほぼ均一に保持することができる。それにより、第2基板部において第1基板部と対向する裏面上に部品を実装した場合には、当該部品が第1基板部に押付けられて損傷するのを阻止することができる。

上記支持部材は、好ましくは、半田バンプの高さよりも半田バンプの幅が大きくなるように第1基板部と第2基板部間の間隔を調節する。

このように半田バンプを横長形状とすることにより、第1基板部表面の導電層および第2基板部表面の導電層と半田バンプとの接触面積を増大させることができ、第1基板部と第2基板部間の接続強度を向上することができるのみならず、接触抵抗をも低減することができる。

さらに好ましくは、上記支持部材は、半田バンプの高さが半田バンプの幅の86%以上93%以下となるように第1基板部と第2基板部間の間隔を調節する。

半田バンプの幅を大きくすることにより、第1および第2基板部表面の導電層と半田バンプとの接触面積を増大させることができるものと考えられる。しかし、あまりに半田バンプの幅を大きくすると、半田バンプの高集積化が困難となる。そこで、本願発明者等が鋭意検討を重ね、半田バンプの幅に対する半田バンプの高さの割合を上記の範囲とすることにより、第1基板部と第2基板部間の接続強度を高く維持しつつ、半田バンプの高集積化を行なえることを知得した。

上記半田バンプを形成するための半田ボールの直径は、支持部材の高さよりも大きいことが好ましい。具体的には、半田ボールの直径は、支持部材の高さの1.1～1.2倍である。それにより、第2基板部の実装後に半田バンプを所望

の横長形状とすることことができ、前述のような効果が得られる。

支持部材は、好ましくは、半田バンプよりも高融点の材質で構成される。それにより、半田バンプを溶融させた際に支持部材が溶融するのを阻止することができ、第2基板部の実装時に支持部材によって第2基板部を確実に支持することができる。

支持部材は、好ましくは、導電材料を含み、第1基板部と第2基板部間を電気的に接続する。それにより、支持部材を半田バンプと同様に電極（端子）として用いることができ、電極数の増大を図ることができる。

上記支持部材を受動素子で形成してもよい。具体的には、抵抗、コンデンサ、インダクタ等の部品を支持部材として使用する。このように電子回路中の一部の要素を支持部材として使用することにより、支持部材を別途準備する必要がなくなり、部品点数を削減することができる。また、第1および第2基板部における部品の実装面積を縮小することもできる。

第2基板部の表面上には電子部品が実装され、この電子部品を外部と電磁的に遮蔽するためのシールドケースが電子部品を覆うように設置される。このシールドケースの脚部を第1基板部上に延長し、該脚部を支持部材として用いてよい。

このようにシールドケースの脚部を支持部材として用いることにより、支持部材を別途準備する必要がなくなり、部品点数を削減することができる。

上記支持部材は、複数のスルーホールを有する第3基板部を含み、このスルーホールを介して第1基板部と第2基板部間を電気的に接続することが好ましい。

このように支持部材として第3基板部を設けることにより、この第3基板部に設けられた複数のスルーホールを介して第1基板部と第2基板部間を電気的に接続することができる。それにより、電極数の増大を図ることができる。

第2基板部において第1基板部と対向する裏面上に電子部品が実装され、第1基板部において上記電子部品と対向する位置に凹部を設けることが好ましい。

それにより、第1基板部と第2基板部間の間隔を縮小することができ、集積回路装置の小型化が可能となる。

### 図面の簡単な説明

図1は、本発明の実施の形態1における集積回路装置の断面図である。

図2は、本発明における半田バンプの形状例を示す断面図である。

図3は、本発明の実施の形態2における集積回路装置の断面図である。

5 図4は、実施の形態2の変形例を示す断面図である。

図5は、本発明の実施の形態3における集積回路装置の断面図である。

図6は、本発明の実施の形態4における集積回路装置の断面図である。

図7は、実施の形態4の変形例を示す断面図である。

図8は、本発明の実施の形態5における集積回路装置の断面図である。

10 図9は、本発明の実施の形態6における集積回路装置の断面図である。

図10は、本発明の実施の形態7における集積回路装置の断面図である。

図11は、本発明の実施の形態7における支持部材の平面図である。

図12は、本発明の実施の形態7におけるシールドケース、部品が実装されたモジュール基板および支持部材の斜視図である。

15 図13は、実施の形態7の変形例を示す断面図である。

図14は、従来の集積回路装置の断面図である。

### 発明を実施するための最良の形態

以下、図1から図13を用いて本発明の実施の形態について説明する。

20 (実施の形態1)

図1は、本発明の実施の形態1における集積回路装置1を示す断面図である。

図1に示すように、集積回路装置1は、マザーボード(第1基板)2と、モジュール基板(第2基板)3と、半田バンプ6と、支持部材7aとを備える。

モジュール基板3は、支持部材7aによりマザーボード2上で支持され、モジュール基板3の表裏面上に各種電子部品4や集積回路等の電子回路を構成する要素が実装される。電子部品4は、導電材料よりなるパッド8上に実装され、半田層等の導電層によりパッド8に固着される。電子部品4を覆うようにシールドケース5がモジュール基板3上に設置される。このシールドケース5は、モジュール基板3の表面上に形成される電子回路部と外部とを電磁的に遮蔽する機能を有

し、たとえば金属等により構成される。

半田バンプ6は、たとえば図1において紙面と垂直方向に複数設けられ、マザーボード2とモジュール基板3間を電気的および機械的に接続し、横長形状を有する。この半田バンプ6も、パッド8および半田層を介してマザーボード2およびモジュール基板3に接合される。

上記のように半田バンプ6を横長形状とすることにより、パッド8と半田バンプ6との接触面積を増大させることができ、マザーボード2とモジュール基板3間の接続強度を向上することができるのみならず、パッド8と半田バンプ6との接触抵抗をも低減することができる。しかし、半田バンプ6の幅をあまりに大きくしすぎると、半田バンプ6の高集積化が困難となる。

そこで、本願の発明者等は、半田バンプ6と各基板との接続部の信頼性を高く維持し、接続抵抗を低減し、かつ半田バンプ6の高集積化をも図るべく、鋭意検討を行なった。その結果、マザーボード2とモジュール基板3間の間隔が所定値（この場合であれば約0.65mm）の場合に、半田バンプ6の形状等を下記のように設定することを知得した。

図2に、半田バンプ6a, 6bとその近傍の拡大図を示す。図2に示すように、複数の半田バンプ6a, 6bは、間隔D（たとえば0.52mm～0.57mm）をあけて形成されることが好ましい。上記間隔Dをあけることにより、半田バンプ6a, 6b同士が溶融後に接触するのを阻止することができる。

また、半田バンプ6a, 6bの幅W2は、たとえば0.70mm～0.75mmであることが好ましい。このとき、半田バンプ6a, 6bの高さHは、0.65mmである。したがって、半田バンプ6a, 6bの幅W2に対する高さHの割合は、86%以上93%以下となる。かかる割合とすることにより、パッド8と半田バンプ6a, 6bとの接触面積を大きく確保することができる。それにより、パッド8と半田バンプ6a, 6bとの間の接続強度を向上（接続部の信頼性を向上）することができ、かつパッド8と半田バンプ6a, 6bとの間の接続抵抗をも低減することができる。

なお、上記の高さHは、モジュール基板3においてマザーボード2と対向する裏面に実装される電子部品4の実装時の高さよりも高くなるように設定される。

また、パッド8の幅W1は、上記の高さHと等しく0.65mmである。さらに、半田バンプ6a, 6bの中心間の間隔W4は、1.27mmであり、半田バンプ6a, 6bのパッド8からの張出し幅W3は、0.048mmである。

支持部材7aは、本実施の形態では、金属により構成される。それにより、支持部材7aを、モジュール基板3とマザーボード2間に電気的に接続する電極(端子)として機能させることができ、電極数の増大を図ることができる。この支持部材7aも、パッド8を介してモジュール基板3およびマザーボード2と接続されており、支持部材7aの高さは半田バンプ6の高さと等しくなっている。

上記の支持部材7aをモジュール基板3とマザーボード2間に設置することにより、モジュール基板3の実装時に支持部材7aでモジュール基板3を支持することができ、モジュール基板3が傾くのを阻止することができる。つまり、モジュール基板3とマザーボード2間の間隔をほぼ均一に保持することができる。

それにより、図1に示すようにモジュール基板3においてマザーボード2と対向する裏面上に部品4を実装した場合でも、当該部品4がマザーボード2に押付けられて損傷するのを阻止することができる。

また、支持部材7aにより、半田バンプ6の高さを調節することもできる。それにより、半田バンプ6の形状を、確実に図2に示す横長形状とすることができ、前述の効果が得られる。

支持部材7aは、半田バンプ6よりも高融点の材質で構成される。本実施の形態では、たとえば黄銅にNiメッキを施したもの的支持部材7aとして使用する。それにより、半田バンプ6を溶融させた際に支持部材7aが溶融するのを阻止することができ、モジュール基板3の実装時に支持部材7aによってモジュール基板3を確実に支持することができる。

前述の半田バンプ6a, 6bを形成するための半田ボールの直径は、支持部材7aの高さよりも大きいことが好ましい。具体的には、半田ボールの直径は、0.76mmであり、支持部材7aの高さ(0.65mm)の1.17倍である。のことより、半田ボールの直径は、支持部材7aの高さの1.1~1.2倍であればよいものと推察される。

このように半田ボールの直径を支持部材7aの高さよりも大きくすることによ

り、モジュール基板3の実装後に半田バンプ6を横長形状とすることができます。

なお、支持部材7aとして、たとえばモジュール基板3の4隅を支持するよう複数の金属片を設けてもよいが、金属枠を単数設けてもよい。この思想は、以下の全ての実施の形態に適用可能である。

5 (実施の形態2)

次に、図3および図4を用いて本発明の実施の形態2とその変形例について説明する。本実施の形態2では、図3に示すように、支持部材7bとしてセラミックにNiメッキを施したものを使用している。この場合にも、実施の形態1の場合と同様の効果を期待できる。

10 なお、セラミックにNi以外のメッキ（たとえば半田メッキ）を施してもよい。このようにメッキを施すことにより、支持部材7bを電気的な端子として使用することができる。また、上記のように支持部材7bとしてセラミックを用いることにより、金属片を用いた場合よりも軽量化および製造コスト低減を図ることができる。

15 次に、図4を用いて本発明の実施の形態2の変形例について説明する。図4に示すように、半田バンプ6の代わりに、支持部材7bと同様の構造の端子9を形成してもよい。

(実施の形態3)

次に、図5を用いて本発明の実施の形態3について説明する。本実施の形態3では、図5に示すように、支持部材7cとして半田バンプ6よりも高融点の金属ボールを使用している。この場合にも、実施の形態1の場合と同様の効果を期待できる。

20 支持部材7cとしては、たとえば高温半田ボールを使用することができる。この高温半田ボールは、鉛(Pb)と亜鉛(Zn)の割合を、半田バンプ6のそれとは変えたものである。具体的には、たとえば鉛の割合を亜鉛の割合よりも高くすることにより、高温半田ボールが得られる。

25 また、本実施の形態のように金属ボールを使用することにより、金属片を用いた場合よりも製造コストを低減することができる。

(実施の形態4)

次に、図6および図7を用いて本発明の実施の形態4とその変形例について説明する。本実施の形態4では、図6に示すように、支持部材7dとして電子部品を用いている。具体的には、抵抗、コンデンサ、インダクタ等の受動素子を支持部材7dとして使用する。

5 このように電子回路中の一部の要素を支持部材7dとして使用することにより、支持部材7dを別途準備する必要がなくなり、部品点数を削減することができる。また、モジュール基板3やマザーボード2における部品の実装面積を縮小することもできる。

10 図6に示すように、受動素子は、マザーボード2およびモジュール基板3に対し立てた状態で実装される。この場合には、受動素子は、モジュール基板3を複数箇所で支持できるように、たとえばモジュール基板3の4隅に設置されることが好ましい。

15 次に、図7を用いて、本実施の形態4の変形例について説明する。図7に示すように、半田バンプ6の代わりに、受動素子等の部品4を端子として用いてよい。

#### (実施の形態5)

20 次に、図8を用いて本発明の実施の形態5について説明する。本実施の形態5では、図8に示すように、支持部材としてシールドケース5の脚部を用いている。より詳しくは、シールドケース5の脚部をマザーボード2上に延長し、該延長部により支持部材を構成している。

シールドケース5の脚部をマザーボード2上に延長すべく、たとえば該脚部を受け入れる貫通孔をモジュール基板3に設け、かつ上記脚部にモジュール基板3を支持する支持部を設ける。この支持部により、モジュール基板3を支持することができる。

25 上記のようにシールドケース5の脚部を支持部材として用いることにより、支持部材を別途準備する必要がなくなり、部品点数を削減することができる。それにより、製造コストを低減することができる。

#### (実施の形態6)

次に、図9を用いて本発明の実施の形態6について説明する。本実施の形態6

では、図9に示すように、マザーボード2において、モジュール基板3の裏面に実装された部品4と対向する位置に凹部2aを設けている。

それにより、マザーボード2とモジュール基板3間の間隔を縮小することができ、集積回路装置1を高さ方向に縮小することができ、集積回路装置1の小型化が可能となる。

なお、凹部2aの代わりにマザーボード2に貫通孔を設けてもよい。また、本実施の形態の思想は、他の全ての実施の形態に適用可能である。

#### (実施の形態7)

次に、図10～図13を用いて、本発明の実施の形態7とその変形例について説明する。本実施の形態7では、図10に示すように、支持部材7eとして基板を用いている。

図11に示すように、上記基板は複数のスルーホール10を有し、基板の表裏面にはパッド8が形成されている。スルーホール10内には導電層が形成され、該導電層とパッド8とは電気的に接続される。基板の表裏面のパッド8は、半田層11を介してマザーボード2表面上のパッド8およびモジュール基板3の裏面上のパッド8と電気的に接続される。それにより、上記のスルーホール10を介してマザーボード2とモジュール基板3を電気的に接続することができる。

図12は、シールドケース5、モジュール基板3および支持部材7eの斜視図である。この図に示すように、モジュール基板3の表面には集積回路12やその他の電子部品4が実装され、1対の支持部材7eがモジュール基板3の長手方向に延びている。この支持部材7e間に、半田バンプ6が配置される。このように支持部材7eを長く延在させることにより、モジュール基板3の実装時に溶融した半田バンプ6が支持部材7eの外へ流れ出すのを効果的に阻止することができる。このことも、集積回路装置1の信頼性向上に寄与し得る。

また、支持部材7eに複数のスルーホールを設けることにより、スルーホール内に形成された導電層を電極（端子）として使用できるので、電極数の増大をも図ることができる。

次に、図13を用いて、本実施の形態7の変形例について説明する。図13に示すように、半田バンプ6を省略してもよい。

以上のように、この発明の実施の形態について説明を行ったが、各実施の形態の特徴を組み合わせてもよい。また、今回開示した実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内での全ての変更が含まれることが意図される。

#### 産業上の利用可能性

本発明は、電子部品等が実装された複数の基板を有する集積回路装置に有効に適用され得る。

## 請求の範囲

1. 第1基板部（2）と、

前記第1基板部（2）に実装される第2基板部（3）と、

5 前記第1基板部（2）と前記第2基板部（3）間を電気的に接続する半田バンプ（6）と、

前記第1基板部（2）と前記第2基板部（3）間に設置され、前記第1基板部（2）上で前記第2基板部（3）を支持する支持部材（7a, 7b, 7c, 7d, 7e）と、

10 を備えた集積回路装置。

2. 前記支持部材（7a, 7b, 7c, 7d, 7e）は、前記半田バンプ（6）の高さよりも前記半田バンプ（6）の幅が大きくなるように前記第1基板部（2）と前記第2基板部（3）間の間隔を調節する、請求項1に記載の集積回路装置。

15 3. 前記支持部材（7a, 7b, 7c, 7d, 7e）は、前記半田バンプ（6）の高さが前記半田バンプ（6）の幅の86%以上93%以下となるように前記第1基板部（2）と前記第2基板部（3）間の間隔を調節する、請求項2に記載の集積回路装置。

20 4. 前記半田バンプ（6）を形成するための半田ボールの直径は、前記支持部材（7a, 7b, 7c, 7d, 7e）の高さよりも大きい、請求項1に記載の集積回路装置。

5. 前記半田ボールの直径は、前記支持部材（7a, 7b, 7c, 7d, 7e）の高さの1.1～1.2倍である、請求項4に記載の集積回路装置。

25 6. 前記支持部材（7a, 7b, 7c, 7d, 7e）は、前記半田バンプ（6）よりも高融点の材質で構成される、請求項1に記載の集積回路装置。

7. 前記支持部材（7a, 7b, 7c, 7d, 7e）は、導電材料を含み、前記第1基板部（2）と前記第2基板部（3）間を電気的に接続する、請求項6に記載の集積回路装置。

8. 前記支持部材（7a, 7b, 7c, 7d, 7e）を受動素子で形成する、請

求項 1 に記載の集積回路装置。

9. 前記第 2 基板部 (3) の表面上には電子部品 (4) が実装され、

前記電子部品 (4) を外部と電磁的に遮蔽するためのシールドケース (5) が、前記電子部品 (4) を覆うように設置され、

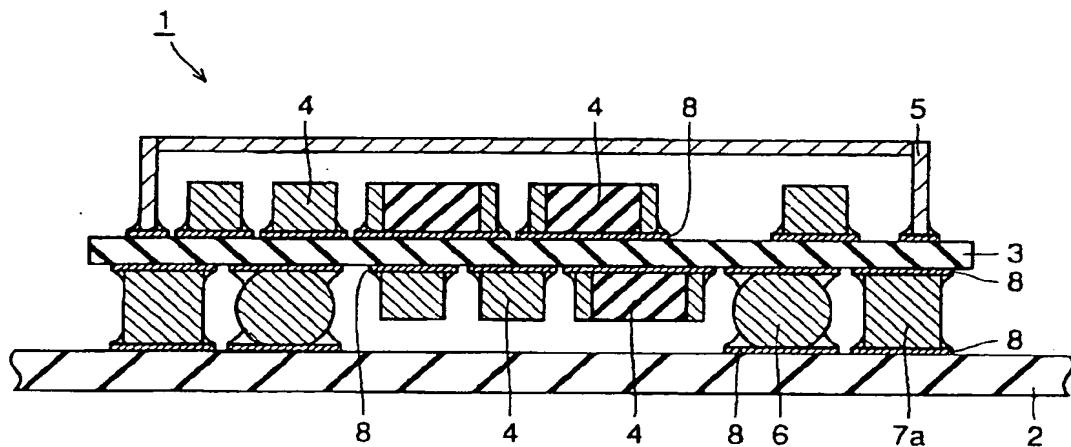
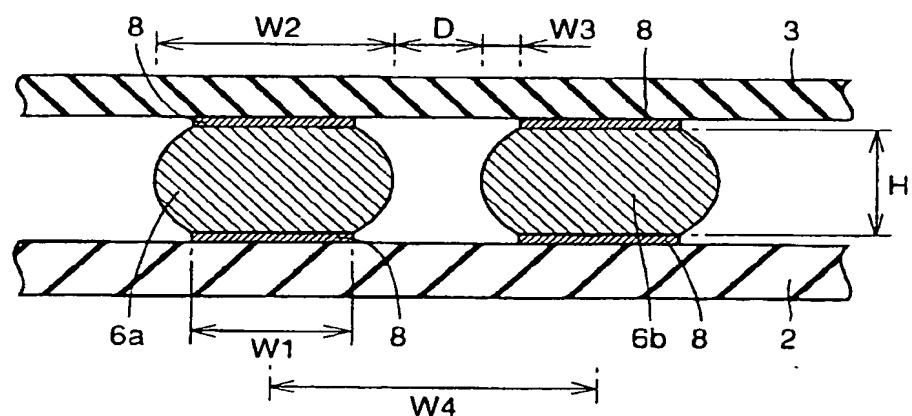
5 前記シールドケース (5) の脚部を前記第 1 基板部 (2) 上に延長し、該脚部を前記支持部材として用いる、請求項 1 に記載の集積回路装置。

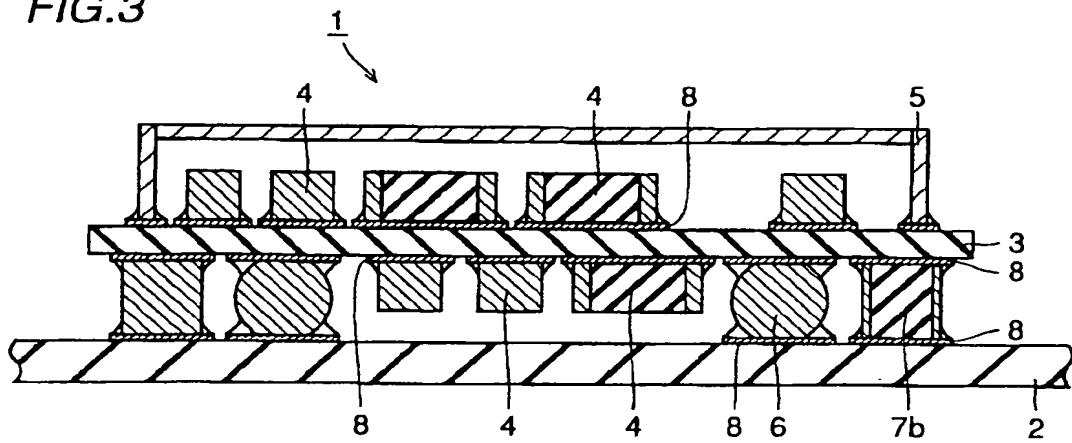
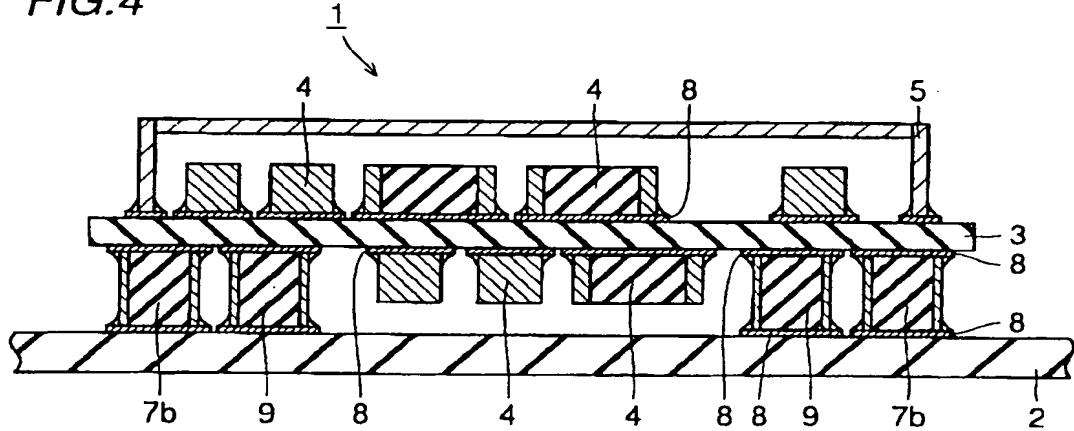
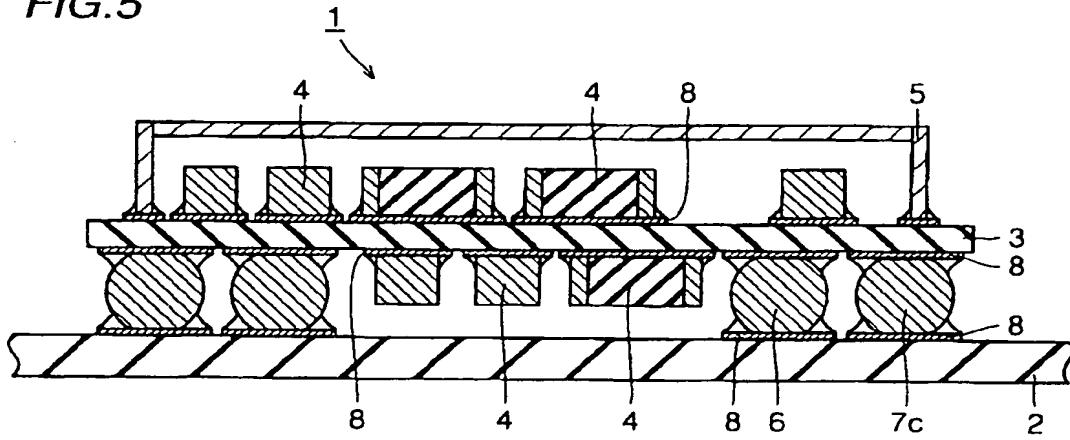
10. 前記支持部材は、複数のスルーホール (10) を有する第 3 基板部 (7 e) を含み、

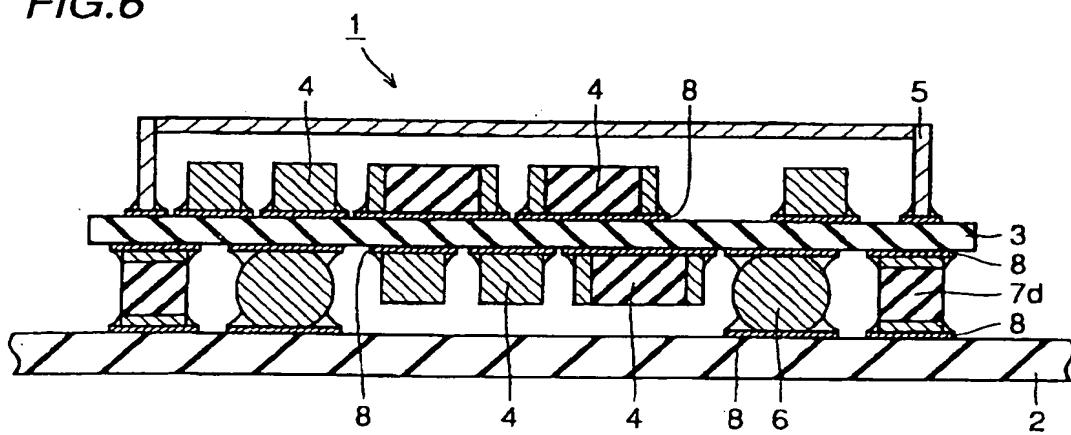
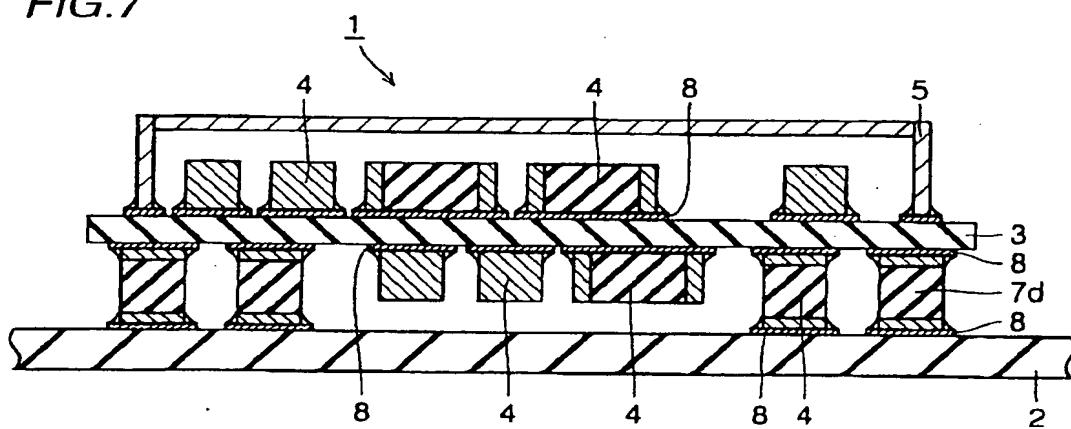
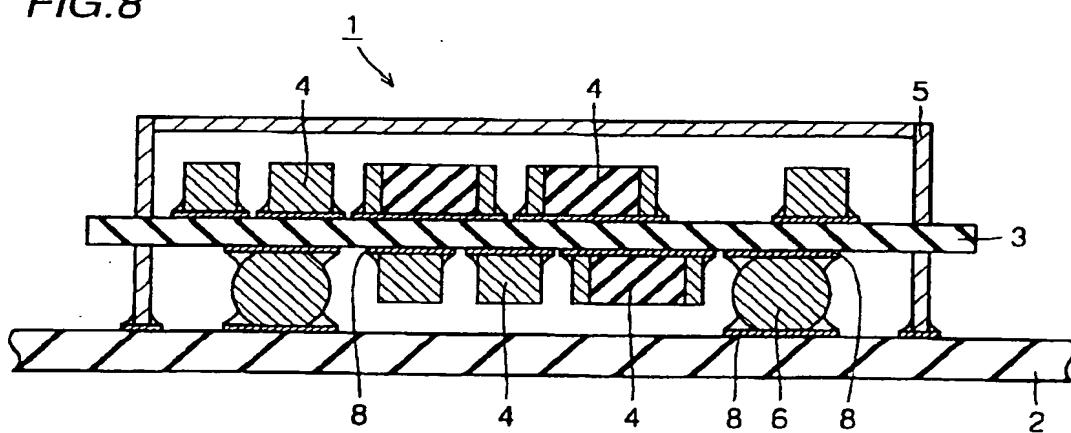
前記スルーホール (10) を介して前記第 1 基板部 (2) と前記第 2 基板部 10 (3) 間を電気的に接続する、請求項 1 に記載の集積回路装置。

11. 前記第 2 基板部 (3) において前記第 1 基板部 (2) と対向する裏面上に電子部品 (4) が実装され、

前記第 1 基板部 (2) において前記電子部品 (4) と対向する位置に凹部 (2 a) を設ける、請求項 1 に記載の集積回路装置。

*FIG. 1**FIG.2*

*FIG.3**FIG.4**FIG.5*

**FIG.6****FIG.7****FIG.8**

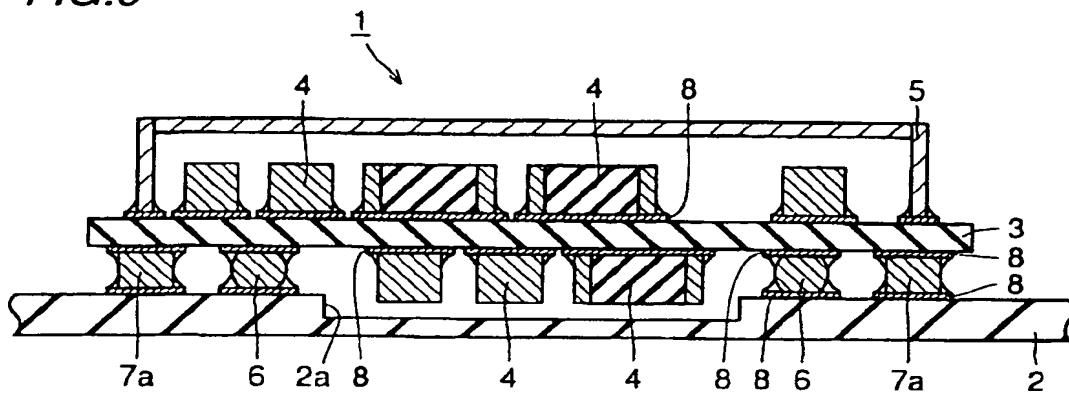
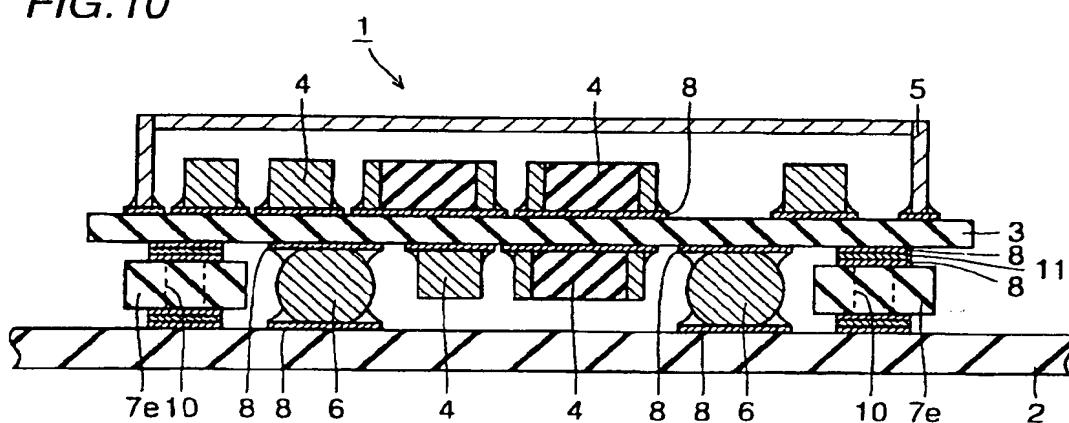
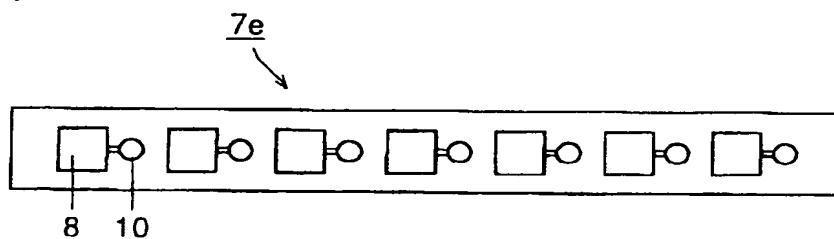
*FIG. 9**FIG. 10**FIG. 11*

FIG. 12

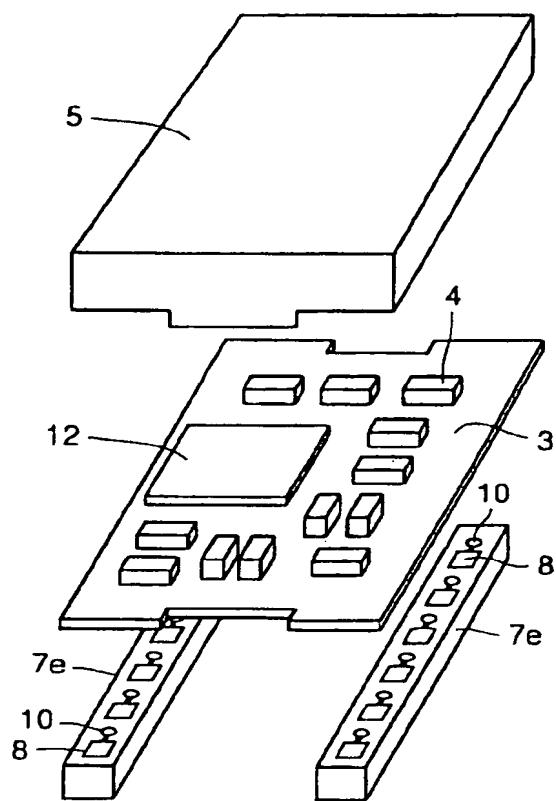
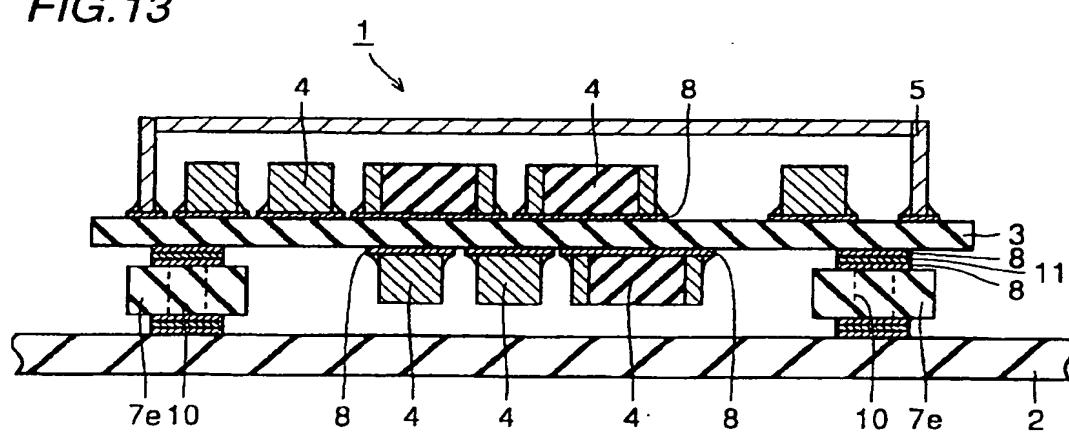
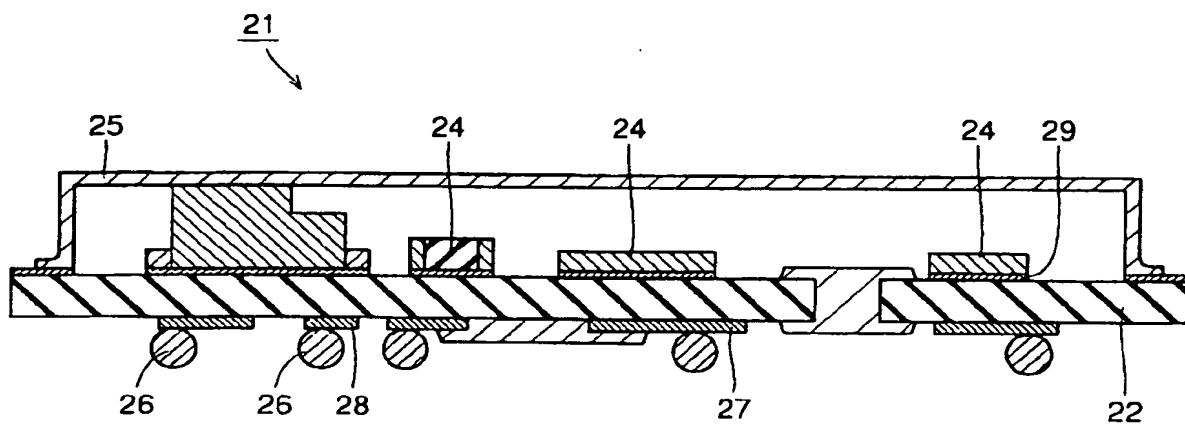


FIG. 13



*FIG. 14*

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP99/07334

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl <sup>7</sup> H01L 25/04		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl <sup>7</sup> H01L 25/04		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP, 10-163263, A (NEC Corporation), 19 June, 1998 (19.06.98), Figs. 1, 2 (Family: none)	1-8 9-11
A	JP, 11-163043, A (NEC Corporation), 18 June, 1999 (18.06.99) (Family: none)	1-11
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 07 April, 2000 (07.04.00)		Date of mailing of the international search report 18 April, 2000 (18.04.00)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int. Cl' H01L 25/04

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl' H01L 25/04

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP, 10-163263, A (日本電気株式会社) 19. 6月. 1998 (19. 06. 98), 図1, 2 (ファミリーなし)	1-8 9-11
A	JP, 11-163043, A (日本電気株式会社) 18. 6月. 1999 (18. 06. 99), (ファミリーなし)	1-11

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

07. 04. 00

国際調査報告の発送日

18.04.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

川真田 秀男

4R 7220

印

電話番号 03-3581-1101 内線 3470